

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82666

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285	3 0 1		H 0 1 L 21/285	3 0 1 Z
				C
27/108			27/10	6 5 1
21/8242				

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願平7-239879  
(22) 出願日 平成7年(1995)9月19日

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 中林 正明  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74) 代理人 弁理士 北野 好人

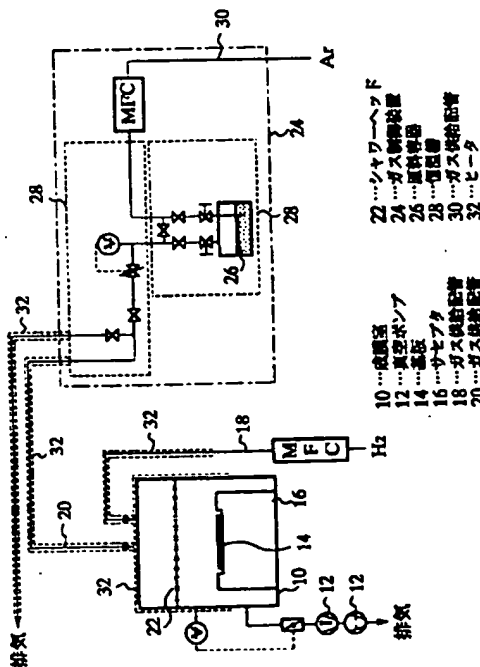
(54) 【発明の名称】 薄膜形成方法、半導体装置及びその製造方法

(57) 【要約】

【課題】 段差表面の被覆性に優れたプラチナ膜を堆積する薄膜形成方法、並びに、プラチナ膜を用いた半導体装置及びその製造方法を提供する。

【解決手段】 Pt (HFA)<sub>3</sub>を原料に用いた化学気相成長法により、プラチナ膜を成膜する。

本発明の第1実施形態による薄膜形成方法に用いたCVD装置の概略図



## 【特許請求の範囲】

【請求項1】  $\text{Pt}(\text{HFA})_2$ を原料に用いた化学気相成長法により、プラチナ膜を成膜することを特徴とする薄膜形成方法。

【請求項2】 請求項1記載の薄膜形成方法において、前記プラチナ膜を成膜する基板を、 $300\sim 600^\circ\text{C}$ の温度に加熱することを特徴とする薄膜形成方法。

【請求項3】 請求項1又は2記載の薄膜形成方法において、前記プラチナ膜を成膜する成膜室の反応圧力を $1\sim 20\text{ Torr}$ に設定することを特徴とする薄膜形成方法。

【請求項4】 請求項1乃至3のいずれかに記載の薄膜形成方法において、前記プラチナ膜を成膜する際に、前記プラチナ膜を成膜する成膜室に水素ガスを導入することを特徴とする薄膜形成方法。

【請求項5】 請求項4記載の薄膜形成方法において、前記水素ガスの分圧が $0.5\sim 10\text{ Torr}$ であることを特徴とする薄膜形成方法。

【請求項6】 上部電極と、誘電体膜と、下部電極とが順次積層して形成されたキャパシタを有する半導体装置において、

前記上部電極又は前記下部電極は、請求項1乃至5のいずれかに記載の薄膜形成方法により成膜されたプラチナ膜を有することを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、前記上部電極又は前記下部電極は、チタン膜、窒化チタン膜、ルテニウム膜、酸化ルテニウム膜、イリジウム膜、酸化イリジウム膜のうち少なくともいずれか1つの膜と前記プラチナ膜とを有する積層膜により構成されており、前記プラチナ膜は、前記誘電体膜に接する側に形成されていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置において、前記上部電極又は前記下部電極は、ルテニウム膜、酸化ルテニウム膜、プラチナ膜よりなる積層膜、イリジウム膜、酸化イリジウム膜、プラチナ膜よりなる積層膜、又は、チタン膜、窒化チタン膜、プラチナ膜よりなる積層膜であることを特徴とする半導体装置。

【請求項9】 請求項1乃至5のいずれかに記載の薄膜形成方法によりプラチナ膜を形成する工程を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜の形成に係り、特にプラチナ膜を形成する薄膜形成方法、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】プラチナ( $\text{Pt}$ )膜は、 $\text{SrTiO}_3$ 、

( $\text{Ba}, \text{Sr}$ ) $\text{TiO}_3$ 等の高誘電性材料の電極として用いられている。従来より、半導体装置の製造工程等では、プラチナ膜を成膜するにはスパッタリング法が主として用いられていた。

【0003】図5にスパッタリング装置の一例を示す。プラチナ膜の成膜を行う成膜室84には、プラチナのバルクからなるターゲット86と、プラチナ膜を堆積する基板88とが対向して配置されている。ターゲット86と基板88との間には直流電源90が接続されており、カソードとなるターゲット86に大きな負の電圧が印加できるようになっている。成膜室84には更に $\text{Ar}$ (アルゴン)ガス供給配管92が接続されており、成膜室84内にスパッタガスである $\text{Ar}$ を導入できるようになっている。また、基板保持部94には、成膜の際に必要な応じて基板88を加熱するヒータ96が設けられている。

【0004】次に、スパッタ法によるプラチナ膜の成膜方法を説明する。始めに、成膜室84内を排気口98に接続された真空ポンプ(図示せず)により減圧した後、 $\text{Ar}$ ガス供給配管92より $\text{Ar}$ ガスを成膜室84に導入し、成膜室84内の圧力を調整する。例えば、 $\text{Ar}$ ガスの流量を $100\text{ sccm}$ に設定することにより、 $1\sim 5\times 10^{-3}\text{ Torr}$ 程度の圧力に調整する。

【0005】次いで、基板88とターゲット86との間に直流電圧を印加し、 $\text{Ar}$ プラズマを発生させる。これにより、解離した $\text{Ar}$ イオンがカソードであるターゲット86に衝突してプラチナ原子をスパッタする。スパッタされたプラチナ原子が基板88に到達することにより、基板88上にプラチナ膜が堆積される。このようにして、スパッタリング法によるプラチナ膜の形成が行われていた。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来のスパッタリング法を用いてプラチナ膜を形成する薄膜形成方法では、凹凸パターンが描画されている基板上にプラチナ膜を堆積すると、段差の上面と側面に同じ厚さで膜を堆積することができないといった問題があった。

【0007】このため、複雑なパターン上にプラチナ膜を堆積することは困難であり、例えば、 $\text{DRAM}$ (ダイナミックランダムアクセスメモリ)の溝型キャパシタセル及びスタックドキャパシタセル構造における高誘電性材料の電極として使用できないといった問題があった。本発明の目的は、段差表面の被覆性に優れた $\text{CVD}$ 法によりプラチナ膜を堆積する薄膜形成方法、並びにプラチナ膜を用いた半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、有機金属化合物を原料に用いた化学気相成長法により、プラチナ膜

を成膜することを特徴とする薄膜形成方法によって達成される、また、上記の薄膜形成方法において、前記有機金属化合物は、 $Pt(HFA)_2$ であることが望ましい。

【0009】このようにCVD法によりプラチナ膜を成膜すれば、表面凹凸がある下地基板上にも、被覆性に優れたプラチナ膜を形成することができる。また、上記の薄膜形成方法において、前記プラチナ膜を成膜する基板を、 $300\sim600^{\circ}C$ の温度に加熱することが望ましい。また、上記の薄膜形成方法において、前記プラチナ膜を成膜する成膜室の反応圧力を $1\sim20\text{ Torr}$ に設定することが望ましい。

【0010】また、上記の薄膜形成方法において、前記プラチナ膜を成膜する際に、前記プラチナ膜を成膜する成膜室に水素ガスを導入することが望ましい。このように成膜中に水素ガスを導入すれば、膜中への炭素の混入が少なくなるので、配向性に優れた良質なプラチナ膜を成膜することができる。また、上記の薄膜形成方法において、前記水素ガスの分圧が $0.5\sim10\text{ Torr}$ であることが望ましい。

【0011】また、上部電極と、誘電体膜と、下部電極とが順次積層して形成されたキャパシタを有する半導体装置において、前記上部電極又は前記下部電極は、上記の薄膜形成方法により成膜されたプラチナ膜を有することを特徴とする半導体装置によっても達成される。また、上記の半導体装置において、前記上部電極又は前記下部電極は、チタン膜、窒化チタン膜、ルテニウム膜、酸化ルテニウム膜、イリジウム膜、酸化イリジウム膜のうち少なくともいずれか1つの膜と前記プラチナ膜とを有する積層膜により構成されており、前記プラチナ膜は、前記誘電体膜に接する側に形成されていることが望ましい。

【0012】また、上記の半導体装置において、前記上部電極又は前記下部電極は、ルテニウム膜、酸化ルテニウム膜、プラチナ膜よりなる積層膜、イリジウム膜、酸化イリジウム膜、プラチナ膜よりなる積層膜、又は、チタン膜、窒化チタン膜、プラチナ膜よりなる積層膜であることが望ましい。また、上記の薄膜形成方法によりプラチナ膜を形成する工程を有することを特徴とする半導体装置の製造方法によっても達成される。プラチナ膜の成膜工程を有する半導体装置の製造方法において上記の薄膜形成方法を用いれば、良質なプラチナ膜を成膜することができるので、半導体装置の信頼性を向上することができる。

【0013】

【発明の実施の形態】本発明の第1実施形態による薄膜形成方法について図1及び図2を用いて説明する。図1は本実施形態による薄膜形成方法に用いたCVD装置の概略図、図2は本実施形態による薄膜形成方法により形成したプラチナ膜におけるX線回折スペクトルである。

【0014】本実施形態による薄膜形成方法に用いたCVD装置を図1を用いて説明する。薄膜の成長を行う成膜室10には、真空ポンプ12が接続されており、成膜室10内部を減圧できるようになっている。成膜室10内部には、成膜を行う基板14を載置するためのサセプタ16が設けられている。サセプタ16には、成膜の際に基板14を加熱するヒータ（図示せず）が設けられている。

【0015】成膜室10には更に、 $H_2$ （水素）ガスを導入するガス供給配管18と、有機金属原料を含むガスを導入するガス供給配管20が接続されている。また、このようにして成膜室10内に導入されたガスが成膜室10内に均一に供給されるように、成膜室10内にはシャワーヘッド22が形成されている。ガス供給配管20の他方は、有機金属化合物を加熱昇華させてキャリアガスとともに成膜室10に導入するガス制御装置24に接続されている。

【0016】ガス制御装置24には、金属原料であるヘキサフロロアセチルアセトン白金（以下、 $Pt(HFA)_2$ と呼ぶ）が充填された原料容器26が設けられている。 $Pt(HFA)_2$ は室温においてオレンジ色の粉末であり、成膜にあたってはこれを昇華して用いる。このため、原料容器26は、原料容器26を $150\sim200^{\circ}C$ 程度の温度に加熱するための恒温槽28の内部に設置されている。

【0017】原料容器26には更に、キャリアガスであるArガスを導入するガス供給配管30が接続されており、ガス供給配管30からArガスを原料容器26に導入することにより、Arガスとともに昇華された $Pt(HFA)_2$ を成膜室10に導入できるようになっている。また、成膜室10、ガス供給配管18、20、成膜室10と原料容器26間の配管には、配管内でのガスの凝縮を抑えるためにヒータ32が設けられており、成膜にあたっては、 $Pt(HFA)_2$ の昇華温度より例えば $5^{\circ}C$ 程度高い $150\sim210^{\circ}C$ で保温される。

【0018】次に、本実施形態による薄膜形成方法を図1を用いて説明する。成膜室10内を真空ポンプ12により減圧した後、プラチナ膜を堆積する基板14をサセプタ16のヒータにより加熱する。次いで、キャリアガスであるArガスを所定の流量だけ流し、昇華された $Pt(HFA)_2$ とともに成膜室に導入する。これと同時にガス供給配管18より $H_2$ ガスを導入することにより、 $Pt(HFA)_2$ と $H_2$ ガスとが基板14上で反応し、基板14上にはプラチナ膜が堆積される。

【0019】図2は、基板温度を $500^{\circ}C$ 、成膜室10内の圧力を $10\text{ Torr}$ 、キャリアガス流量を $300\text{ sccm}$ 、 $H_2$ ガスの分圧を $0.5\text{ Torr}$ として成膜したプラチナ膜をX線回折により測定した結果である。図中(a)、は(100)シリコン基板上にプラチナ膜を形成した場合の回折スペクトルを、(b)は、(10

(0) シリコン基板上に膜厚約50nmのチタン膜と、膜厚約100nmの窒化チタン膜とを順次形成した後、窒化チタン膜上にプラチナ膜を形成した場合の回折スペクトルを、(c)は、(b)の場合において、プラチナ膜の成膜中に $H_2$ ガスを導入しなかった場合の回折スペクトルを示している。プラチナ膜の成膜速度はともに100nm/minとした。

【0020】図示するように、いずれの場合にも代表的な回折ピークが観察されており、プラチナ膜が成長されていることが判る。しかしながら、成膜中に $H_2$ ガスを導入せずに成長したプラチナ膜(図中(c))は、 $H_2$ ガスを導入して成長したプラチナ膜(図中(b))と比較してプラチナの回折ピークが小さくなっている。即ち、成膜中に $H_2$ ガスを導入することにより、配向性に優れたプラチナ膜が成膜できることが判る。

【0021】このように、 $H_2$ ガスを導入することにより配向性に優れたプラチナ膜を成膜できるのは、膜中に含まれる炭素濃度を減少できるからである。プラチナ膜を成膜する材料としてPt(HFA)<sub>2</sub>を用いた場合には、原料には多量に炭素が含まれるために成膜したプラチナ膜中にも炭素が含まれている。このような炭素の導入が膜の配向性を劣化させるが、添加した $H_2$ ガスが膜中の炭素と反応すれば、気相中又は基板表面において水素と炭素が反応することにより炭化水素を生成して気化するので、膜中に導入される炭素濃度を減少することができる。

【0022】このように、本実施形態によれば、原料ガスとしてPt(HFA)<sub>2</sub>を用いたので、CVD法によりプラチナ膜を成膜することができる。また、反応室に水素を導入してプラチナ膜を成長したので、膜中に炭素の混入が少なく、配向性に優れたプラチナ膜を成膜することができる。なお、成膜中に導入する $H_2$ ガスの分圧は、全ガス分圧の約50%程度に設定することが望ましい。即ち、成膜時の成膜室内圧力を1~20Torr程度に設定した場合、水素分圧を0.5~10Torr程度に設定することにより、良質なプラチナ膜を成膜することができる。

【0023】また、本実施形態では、プラチナ膜を堆積する際の基板温度を500℃としたが、基板温度は300~600℃程度に設定することが望ましい。次に本発明の第2実施形態による半導体装置及びその製造方法について図3及び図4を用いて説明する。図3は本実施形態による半導体装置の構造を示す図、図4は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0024】本実施形態では、第1実施形態による薄膜製造方法により形成したプラチナ膜を半導体装置に応用する例として、プラチナ膜を上部電極とする薄膜キャパシタの構造及び製造方法について示す。始めに、本実施形態による半導体装置の構造を図3を用いて説明する。シリコン基板40上には、チタン膜42と、窒化チタン

膜44と、ルテニウム膜46と、酸化ルテニウム膜48とが順次積層して形成された下部電極50が形成されている。下部電極50上には、 $SrTiO_3$ により形成されたキャパシタ誘電体膜52が形成されている。キャパシタ誘電体膜52上には、プラチナ膜により形成された上部電極54が形成されている。このようにして形成されたキャパシタ上には、絶縁膜56が形成されており、絶縁層56に形成されたスルーホールを介して、上部電極54、下部電極50に接続された配線層58が形成されている。

【0025】次に、本実施形態による半導体装置の製造方法を図4を用いて説明する。まず、シリコン基板40上に、膜厚約20nmのチタン膜42をスパッタ法により堆積する。例えば、基板温度を350℃、Ar流量を40sccm、圧力を $5 \times 10^{-3}$ Torr、パワーを500Wとして堆積する。次いで、チタン膜42上に、膜厚約30nmの窒化チタン膜44をスパッタ法により堆積する。例えば、基板温度を350℃、Ar流量を40sccm、 $N_2$ 流量を30sccm、圧力を $5 \times 10^{-3}$ Torr、パワーを500Wとして堆積する。

【0026】続いて、窒化チタン膜44上に、膜厚約50nmのルテニウム膜46をスパッタ法により堆積する。例えば、基板温度を500℃、Ar流量を40sccm、圧力を $5 \times 10^{-3}$ Torr、パワーを500Wとして堆積する。この後、ルテニウム膜46上に、膜厚約100nmの酸化ルテニウム膜48をスパッタ法により堆積する。例えば、基板温度を500℃、Ar流量を40sccm、 $O_2$ 流量を30sccm、圧力を $5 \times 10^{-3}$ Torr、パワーを500Wとして堆積する。

【0027】次いで、通常のリソグラフィ技術とイオンミリング技術により、酸化ルテニウム膜48、ルテニウム膜46、窒化チタン膜44、チタン膜42よりなる積層膜をパターニングし、下部電極50を形成する(図4(a))。続いて、下部電極50上に、 $SrTiO_3$ 膜をCVD法により堆積し、キャパシタ誘電体膜52を形成する。例えば、基板温度を450℃、 $O_2$ 流量を1slm、圧力を5Torrとして堆積する。

【0028】この後、イオンミリング法によりキャパシタ誘電体膜52をエッチングしてパターニングを行う(図4(b))。次いで、キャパシタ誘電体膜52上に、プラチナ膜をCVD法により堆積する。プラチナ膜の成膜には、例えば、第1実施形態による薄膜形成方法を用いる。プラチナ源としてPt(HFA)<sub>2</sub>を用い、例えば、基板温度を500℃、成膜室10内の圧力を10Torr、キャリアガス流量を300sccm、 $H_2$ ガスの分圧を0.5Torrとして成膜する。

【0029】続いて、イオンミリング法によりプラチナ膜をエッチングして、上部電極54を形成する(図4(c))。この後、このように形成されたキャパシタ上にCVD法により絶縁膜56を堆積する。次いで、下部

電極50と上部電極54から配線を引き出すためのスルーホールを絶縁膜54に開口する。その後、配線層となるA1をスパッタ法により成膜してパターンニングすることにより、配線層58を形成する(図4(d))。

【0030】このようにして形成した薄膜キャパシタのリーク特性の評価を行った結果、キャパシタの上部電極54と下部電極50との間に5Vのバイアスを印加した際のリーク電流密度は $1 \times 10^{-8} \text{ A} \cdot \text{cm}^{-2}$ であった。また、キャパシタ誘電体膜50の有する比誘電率は200であり、比誘電率が高くリーク特性に優れたキャパシタを形成することができた。

【0031】このように、本実施形態によれば、Pt(HFA)<sub>2</sub>を原料に用いたCVD法により成膜したプラチナ薄膜によりキャパシタ電極を形成したので、SrTiO<sub>3</sub>等の高誘電性材料を誘電体膜として用いたキャパシタを形成することができる。なお、上記実施形態では、下部電極50としてルテニウム酸化膜/ルテニウム膜/窒化チタン膜/チタン膜よりなる積層構造を用い、上部電極54としてプラチナ膜を用い、キャパシタ誘電体膜52としてSrTiO<sub>3</sub>膜を用いたが、これらに限定されるものではない。

【0032】例えば、チタン膜、窒化チタン膜、ルテニウム膜、酸化ルテニウム膜、イリジウム膜、酸化イリジウム膜のうちのいずれか1つの膜上に、又はいずれか2つ以上の膜よりなる積層膜上にプラチナ膜を堆積し、下部電極50として用いてもよい。特に、窒化チタン膜/チタン膜、酸化ルテニウム膜/ルテニウム膜、酸化イリジウム膜/イリジウム膜、酸化ルテニウム膜/ルテニウム膜/窒化チタン膜/チタン膜等の下地構造が望ましい。

【0033】また、キャパシタ誘電体膜50としてはSrTiO<sub>3</sub>膜の代わりに、(Ba, Sr)TiO<sub>3</sub>膜を用いてもよいし、Pb(Zr, Ti)O<sub>3</sub>膜等を用いてもよい。また、上部電極54を下部電極50と同一の構造にしてもよい。なお、積層膜により上部電極54を形成する場合には、例えば、各層の積層順を下部電極50と逆にすることにより構成すればよい。

【0034】

【発明の効果】以上の通り、本発明によれば、有機金属化合物を原料に用いた化学気相成長法により、プラチナ膜を成膜するので、表面凹凸がある下地基板上にも、被覆性に優れたプラチナ膜を形成することができる。また、上記の薄膜形成方法において、有機金属化合物にPt(HFA)<sub>2</sub>を用いれば、良質なプラチナ膜を形成することができる。

【0035】また、上記の薄膜形成方法において、プラチナ膜を成膜する基板を、300～600℃の温度に加熱すれば、良質なプラチナ膜を形成することができる。また、上記の薄膜形成方法において、プラチナ膜を成膜する成膜室の反応圧力を1～20 Torrに設定すれ

ば、良質なプラチナ膜を形成することができる。また、上記の薄膜形成方法において、プラチナ膜を成膜する際に、プラチナ膜を成膜する成膜室に水素ガスを導入すれば、膜中への炭素の混入が少なくなるので、配向性に優れた良質なプラチナ膜を成膜することができる。

【0036】また、上記の薄膜形成方法において、水素ガスの分圧を0.5～10 Torrに設定すれば、上記の効果を得ることができる。また、上部電極と、誘電体膜と、下部電極とが順次積層して形成されたキャパシタを有する半導体装置において、上部電極又は下部電極を、上記の薄膜形成方法により成膜されたプラチナ膜により形成すれば、表面凹凸がある下地基板上でも被覆性に優れたプラチナ膜を形成できるので、種々の構造のキャパシタ電極として用いることができる。

【0037】また、上部電極又は下部電極は、チタン膜、窒化チタン膜、ルテニウム膜、酸化ルテニウム膜、イリジウム膜、酸化イリジウム膜のうち少なくともいずれか1つの膜とプラチナ膜とを有する積層膜により構成されており、プラチナ膜が、誘電体膜に接する側に形成されている構造を適用することができる。また、上部電極又は下部電極には、ルテニウム膜、酸化ルテニウム膜、プラチナ膜よりなる積層膜、イリジウム膜、酸化イリジウム膜、プラチナ膜よりなる積層膜、又は、チタン膜、窒化チタン膜、プラチナ膜よりなる積層膜を適用することができる。

【0038】また、プラチナ膜の成膜工程を有する半導体装置の製造方法において、上記の薄膜形成方法を用いれば良質なプラチナ膜を成膜することができるので、半導体装置の信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による薄膜形成方法に用いたCVD装置の概略図である。

【図2】本発明の第1実施形態による薄膜形成方法により形成したプラチナ膜におけるX線回折スペクトルである。

【図3】本発明の第2実施形態による半導体装置の構造を示す図である。

【図4】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図である。

【図5】従来の薄膜形成方法を説明する図である。

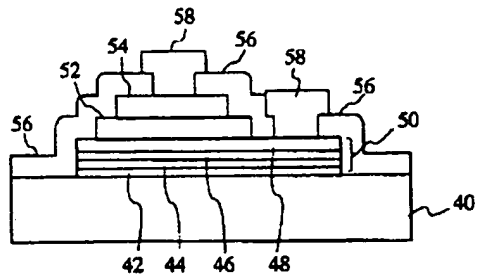
【符号の説明】

- 10…成膜室
- 12…真空ポンプ
- 14…基板
- 16…サセプト
- 18…ガス供給配管
- 20…ガス供給配管
- 22…シャワーヘッド
- 24…ガス制御装置
- 26…原料容器



【図3】

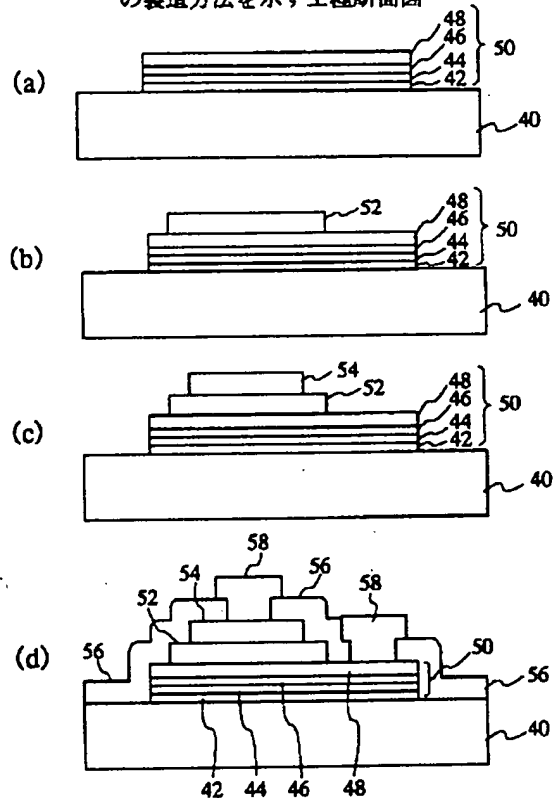
本発明の第2実施形態による半導体装置の構造を示す図



- |             |              |
|-------------|--------------|
| 40…シリコン基板   | 50…下部電極      |
| 42…チタン膜     | 52…キャパシタ誘電体膜 |
| 44…窒化チタン膜   | 54…上部電極      |
| 46…ルテニウム膜   | 56…絶縁膜       |
| 48…酸化ルテニウム膜 | 58…配線層       |

【図4】

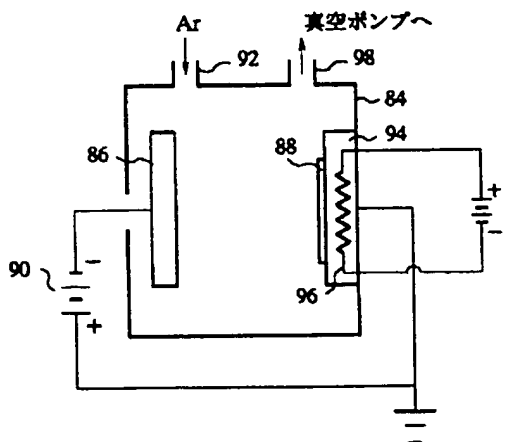
本発明の第2実施形態による半導体装置の製造方法を示す工程断面図



- |             |              |
|-------------|--------------|
| 40…シリコン基板   | 50…下部電極      |
| 42…チタン膜     | 52…キャパシタ誘電体膜 |
| 44…窒化チタン膜   | 54…上部電極      |
| 46…ルテニウム膜   | 56…絶縁膜       |
| 48…酸化ルテニウム膜 | 58…配線層       |

【図5】

従来の薄膜形成方法を説明する図



- |             |
|-------------|
| 84…成膜室      |
| 86…ターゲット    |
| 88…基板       |
| 90…直流電源     |
| 92…Arガス供給配管 |
| 94…基板保持部    |
| 96…ヒータ      |
| 98…排気口      |

**THIS PAGE BLANK (USPTO)**